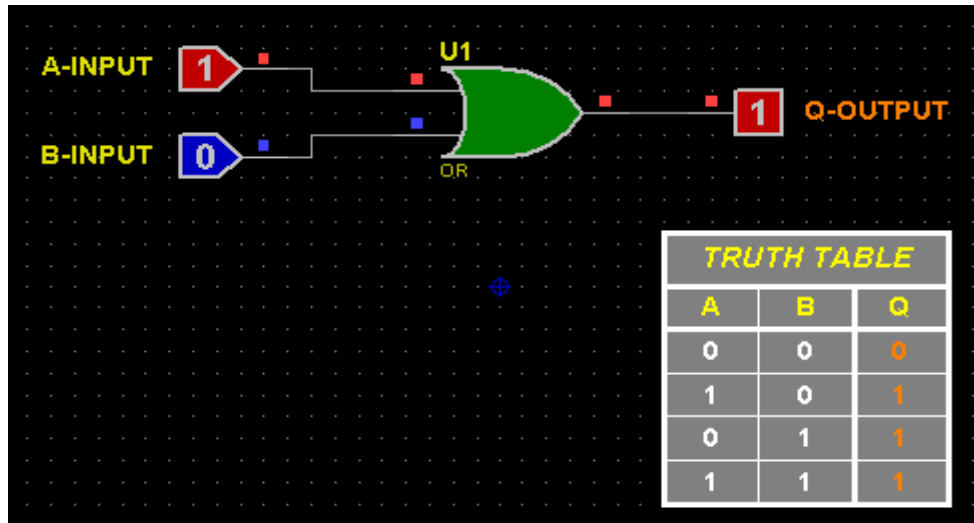
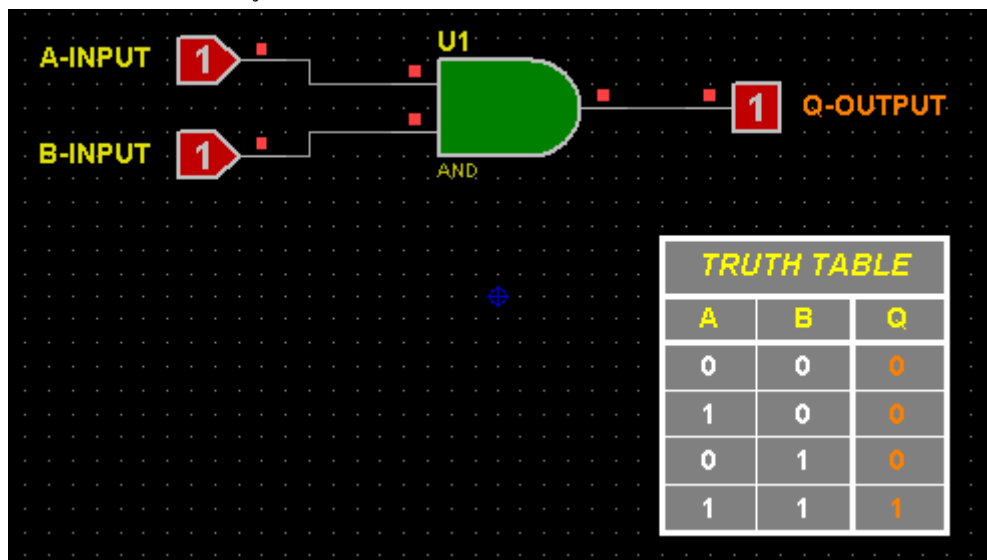


## 5 พื้นฐานการออกแบบวงจรดิจิทัล

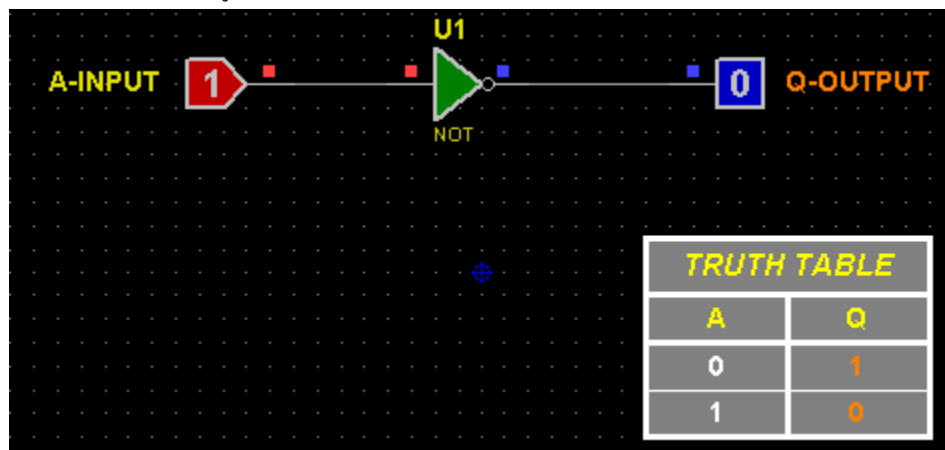
### 5.1 ลอจิกเกตและตารางความจริง



รูป 5.1 แสดง ลอจิก OR GATE และตารางความจริง



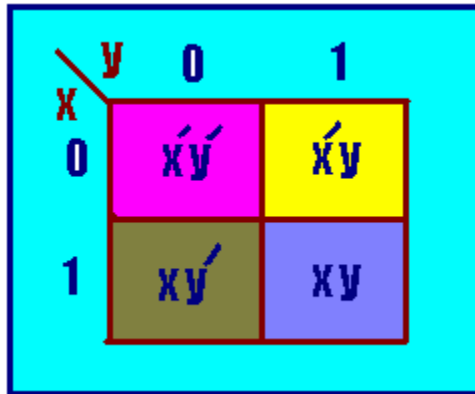
รูป 5.2 แสดง ลอจิก AND GATE และตารางความจริง



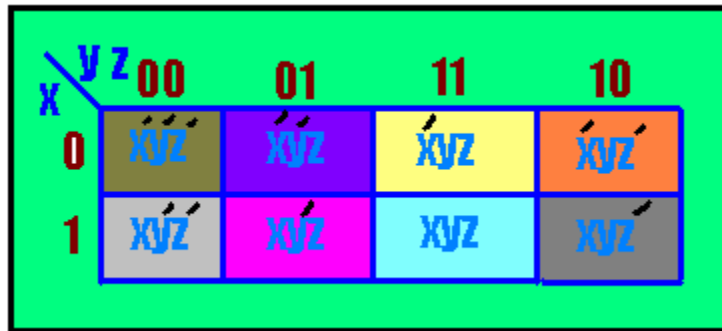
รูป 5.3 แสดง ลอจิก NOT GATE และตารางความจริง

5.2 การแปลงสมการบูลีนให้อยู่ในรูปแบบอย่าง ๆ โดยใช้วิธีของ Karnaugh Map

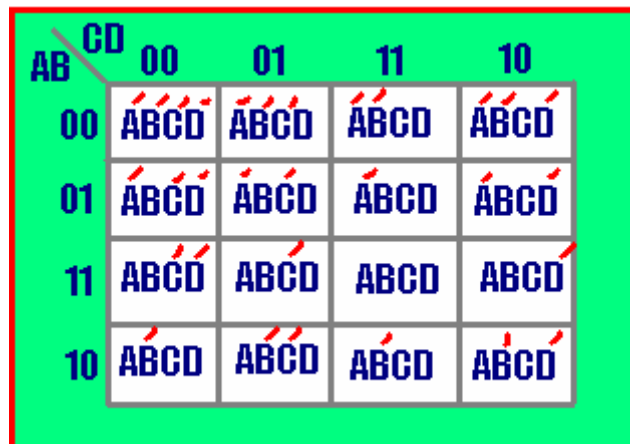
5.2.1 สมการ 2 ตัวแปร



รูป 5.4 Karnaugh Map 2 ตัวแปร

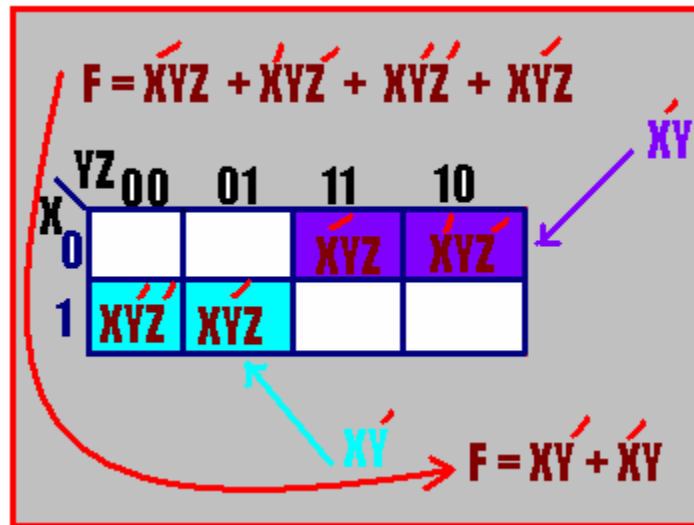


รูป 5.4 Karnaugh Map 3 ตัวแปร



รูป 5.5 Karnaugh Map 4 ตัวแปร

5.3 ตัวอย่างการลดรูปสมการบูลีนโดยใช้วิธี Karnaugh Map



รูป 5.6 แสดงวิธีการลดรูปสมการ โดยใช้วิธี Karnaugh Map

5.4 DECODE AND ENCODE

5.4.1 EXAMPLE BINAYR TO OCTAL DECODE

A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

รูป 5.7 แสดงตารางความจริงของ BINAYR TO OCTAL DECODE

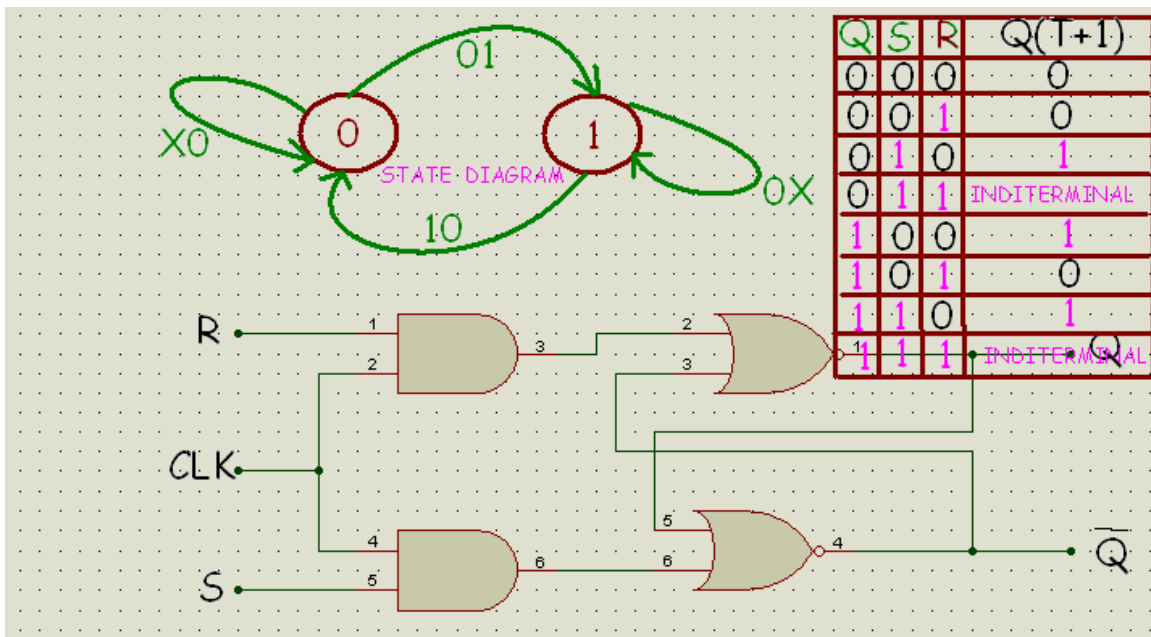
5.4.2 example octal to binary encoder

D0	D1	D2	D3	D4	D5	D6	D7	A	B	C
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

รูป 5.8 แสดงตารางความจริงของ octal to binary encoder

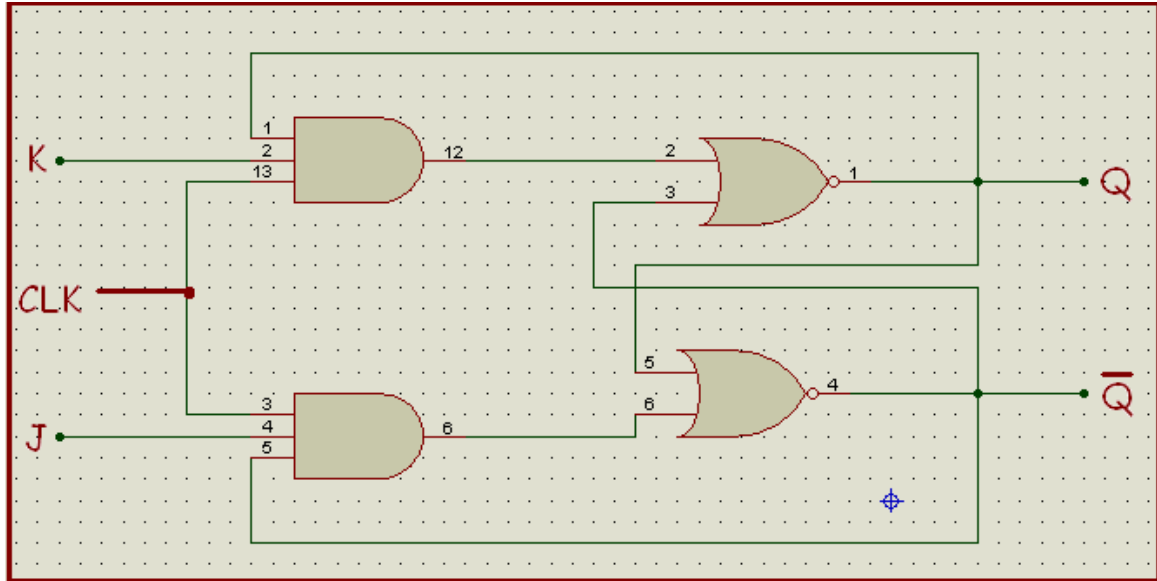
5.5 CLOCK SEQUENTIAL LOGIC (FLIP FLOP)

5.5.1 R.S FLIP FLOP

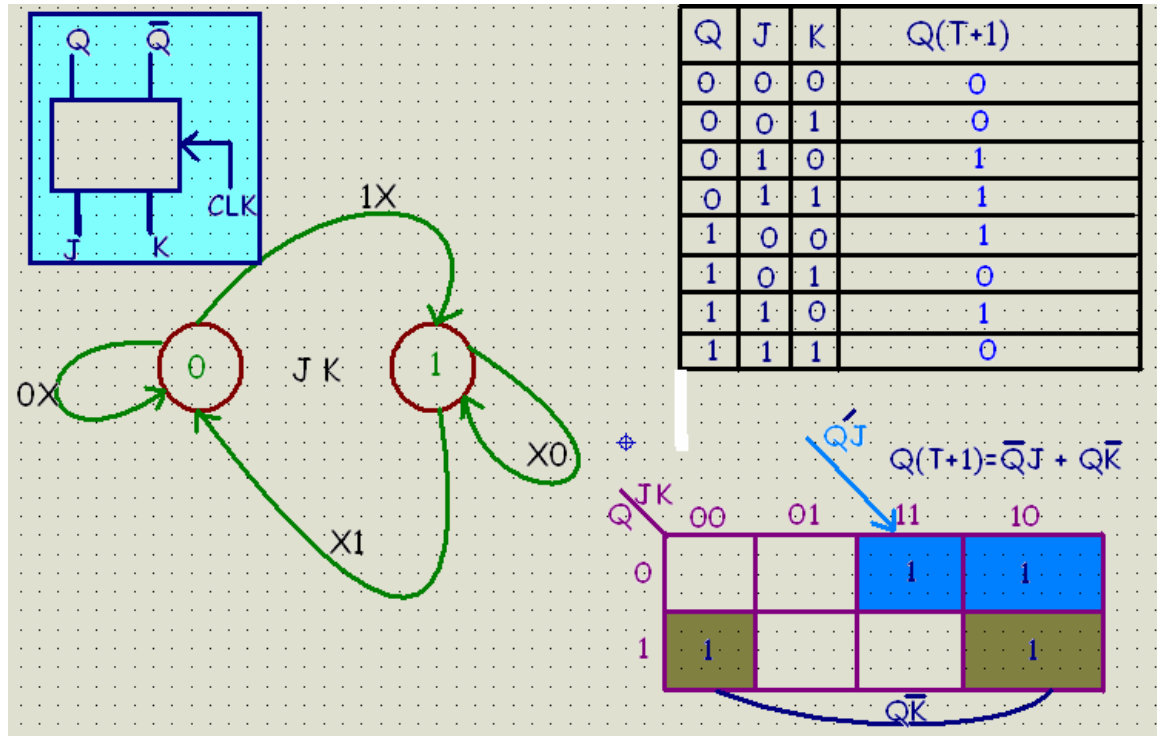


รูป 5.9 แสดง LOGIC DIAGRAM TRUE TABLE AND STATE DIAGRAM OF R S FLIP FLOP

5.5.2 J K FLIP FLOP

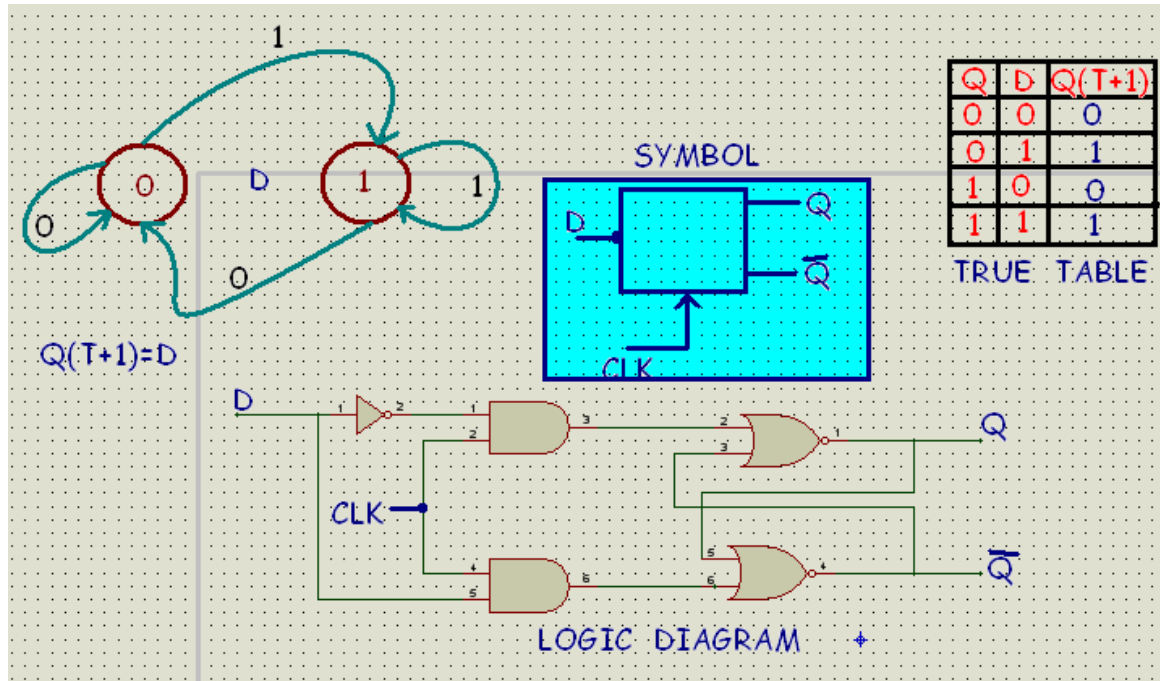


รูป 5.10 LOGIC DIAGRAM OF JK FLOP FLOP



รูป 5.11 STATE DIAGRAM TRUE TABLE EQUATION OF JK FLIP FLOP

5.5.3 D FLIP FLOP

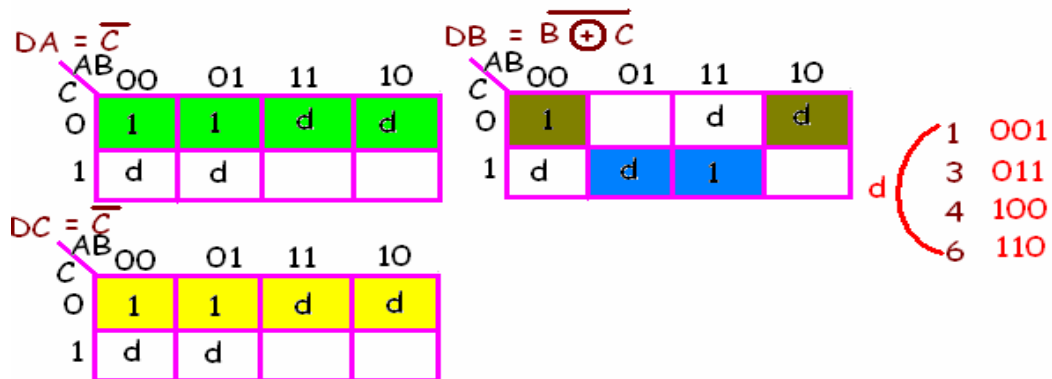


รูป 5.12 D FLIP FLOP

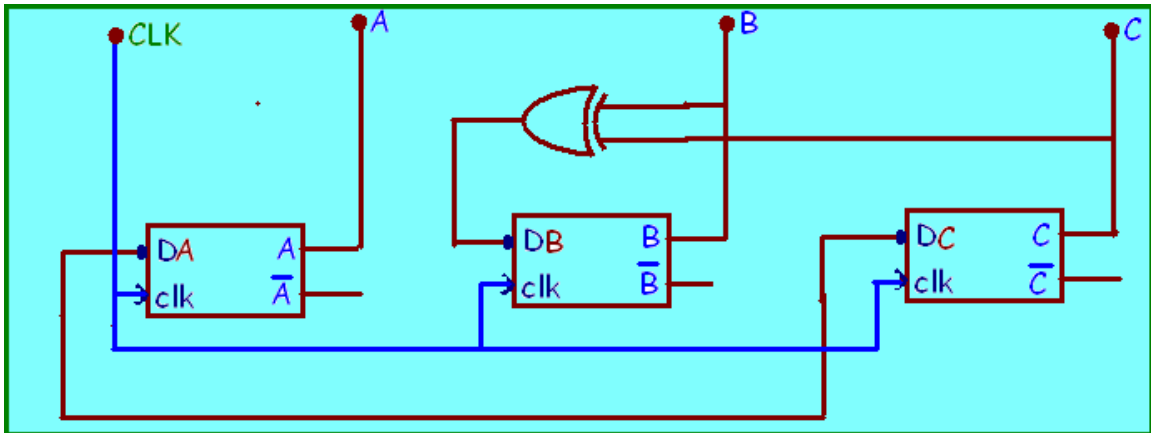
5.6 การออกแบบวงจร COUNTER โดยใช้ D FLIP FLOP

D FLIP FLOP

DEC	BINARY			DA	DB	DC
	A	B	C			
0	0	0	0	1	1	1
7	1	1	1	0	1	0
2	0	1	0	1	0	1
5	1	0	1	0	0	0
0	0	0	0			



รูป 5.13 ขั้นตอนการออกแบบวงจรนับโดยใช้ D FLIP FLOP



รูป 5.14 แสดงลอจิกไดอะแกรมของวงจรนับตามรูป 5.13